

日本国特許庁  
JAPAN PATENT OFFICE

#4  
3.7.02  
RV

JC872 U.S. PTO  
09/900946



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 7月11日

出願番号

Application Number:

特願2000-210475

出願人

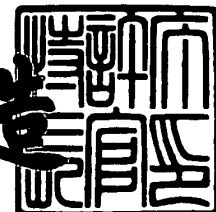
Applicant(s):

株式会社東芝

2001年 4月27日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3036775

【書類名】 特許願

【整理番号】 A000003032

【提出日】 平成12年 7月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/74

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
                        イクロエレクトロニクスセンター内

    【氏名】 平原 文雄

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
                        イクロエレクトロニクスセンター内

    【氏名】 緒方 健一

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100084618

    【弁理士】

    【氏名又は名称】 村松 貞男

【選任した代理人】

    【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 少なくとも 3 つ以上の互いに相重なった電力端子を有し、前記電力端子のうちの所定の 2 つの電力端子間に少なくとも一つの半導体チップが挟まれる形で電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】 前記相重なった電力端子のうち一方の端にある電力端子と、前記相重なった電力端子のうち他方の端にある電力端子が同一方向に引き出されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記相重なった電力端子のうち中間に位置する電力端子が、前記一方の端または前記他方の端に位置する電力端子とは反対方向にまたは、 $90^\circ$  差のある方向に引き出されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記 2 つの電力端子間に挟まれる前記少なくとも一つの半導体チップは、一方の面が半田付けまたは圧接により前記 2 つの電力端子の一方の電力端子に接続され、他方の面が緩衝板をへて半田付けまたは圧接により他方の電力端子に接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記相重なった電力端子のうちの一方の端にある電力端子と他方の端にある電力端子に流れる電流が反対向きに流れるように、前記少なくとも一つの半導体チップが動作することを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 前記電力端子間に挟まれる少なくとも一つの半導体チップは複数の半導体チップにより構成され、前記複数の半導体チップ間に絶縁層が設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 前記複数の半導体チップには少なくとも一つのトランジスタと少なくとも一つのダイオードが含まれており、前記トランジスタに制御電極が接続されていることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 前記制御電極と前記トランジスタの制御電極パッドは、ボンディングワイヤにより接続されているか、または緩衝板を挟んで直接接続されていることを特徴とする請求項 6 記載の半導体装置。

【請求項 9】 前記制御電極は、前記電力端子の一方の端または前記電力端子の他方の端に位置する電力端子に対し反対方向にまたは、 $90^\circ$  差のある方向に引き出されていることを特徴とする請求項 6 記載の半導体装置。

【請求項 10】 前記電力端子のうち一方の端にある電力端子と他方の端にある電力端子は、前記互いに相重なった電力端子の任意の 2 つの電力端子間において半導体チップを圧接接続可能なようにネジ止め構造を有していることを特徴とする請求項 4 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は例えば IGBT モジュールなど大電力用半導体装置に関するものであり、特に電力損失を低減することが必要とされる半導体装置の構造に適用されるものである。

【0002】

【従来の技術】

大電力用半導体装置の一例として、従来の IGBT モジュールの構造については、例えば図 9 に示すようなものが知られている。

銅導体 (DBC: Direct Bond Copper) がアルミナ等の絶縁基板 67 を挟んだ DBC 基板の表面 Cu パターン 63 上に IGBT チップ 65 のコレクタ側およびダイオードチップ 66 の n 層側がそれぞれ半田付けされており、チップ上から例えば  $200 \sim 500 \mu m \phi$  の Al ボンディングワイヤ 64 を経由して IGBT チップ 65 のエミッタ側およびダイオードチップ 66 の p 層側が外部電力端子 61 と接続されている。表面 Cu パターン 63 は外部電力端子 62 と接続されている。かかる構造が放熱板 69 上に載置される。なお、図 9 (a) においてゲート端子 70 の図示は省略してある。

【0003】

【発明が解決しようとする課題】

ところが、図 9 に示すような従来のモジュール構造においては、外部電力端子 61 とチップ 65、66 をボンディングワイヤ 64 を介して接続しているため、

ボンディングワイヤ 6 4 に起因する配線抵抗および自己インダクタンスが増加するという問題点があった。

【 0 0 0 4 】

したがって、本発明は、前記従来構造の問題点に鑑みてなされたもので、ボンディングワイヤ等の配線金属に起因する配線抵抗および自己インダクタンスを低減し、さらに熱放散を良好にした例えば I G B T モジュール等の大電力用半導体装置を提供することを目的とする。

【 0 0 0 5 】

【課題を解決するための手段】

本発明は、少なくとも 3 つ以上の互いに相重なった電力端子を有し、前記電力端子のうちの所定の 2 つの電力端子間に少なくとも一つの半導体チップが挟まれる形で電氣的に接続されている半導体装置である。

【 0 0 0 6 】

また、前記相重なった電力端子のうち一方の端にある電力端子と、前記相重なった電力端子のうち他方の端にある電力端子が同一方向に引き出されている半導体装置であり、さらに、前記相重なった電力端子のうち中間に位置する電力端子が、前記一方の端または前記他方の端に位置する電力端子とは反対方向にまたは、 $90^{\circ}$  差のある方向に引き出されている半導体装置である。

【 0 0 0 7 】

また、前記 2 つの電力端子間に挟まれる前記少なくとも一つの半導体チップは、一方の面が半田付けまたは圧接により前記 2 つの電力端子の一方の電力端子に接続され、他方の面が緩衝板をへて半田付けまたは圧接により他方の電力端子に接続されている半導体装置である。

【 0 0 0 8 】

また、前記相重なった電力端子のうち一方の端にある電力端子と他方の端にある電力端子に流れる電流が反対向きに流れるように、前記少なくとも一つの半導体チップが動作する半導体装置である。

【 0 0 0 9 】

また、前記電力端子間に挟まれる少なくとも一つの半導体チップは複数の半導

体チップにより構成され、前記複数の半導体チップ間に絶縁層が設けられている半導体装置であり、さらに、前記複数の半導体チップには少なくとも一つのトランジスタと少なくとも一つのダイオードが含まれており、前記トランジスタに制御電極が接続されている半導体装置であり、前記制御電極と前記トランジスタの制御電極パッドは、ボンディングワイヤにより接続されているか、または緩衝板を挟んで直接接続されている半導体装置であり、前記制御電極は、前記電力端子の一方の端または前記電力端子の他方の端に位置する電力端子に対し反対方向にまたは、 $90^\circ$  差のある方向に引き出されている半導体装置である。

【0010】

また、前記電力端子のうち一方の端にある電力端子と他方の端にある電力端子は、前記互いに相重なった電力端子の任意の2つの電力端子間において半導体チップを圧接接続可能なようにネジ止め構造を有している半導体装置である。

【0011】

【発明の実施の形態】

図9に示す従来のIGBTモジュールは、IGBTチップ及びCuパターンよりボンディングワイヤを介して外部電力端子に接続している。この場合、大電流を必要とするモジュールにおいてはボンディングワイヤの本数が増加することにより大電流に対応しているが、ある程度の長さを有するボンディングワイヤを使用するため抵抗およびその長さに起因する自己インダクタンスが増大する。

【0012】

そこで、本発明はかかるボンディングワイヤの抵抗およびインダクタンスの増大の問題に対応するため、図1(b)に示すようにIGBTチップと外部電力端子を直接接続することにより、ボンディングワイヤの使用により生ずる抵抗分および自己インダクタンス分を減少させる構造を提案するものである。

【0013】

この場合、上部および下部に配置された外部電力端子は互いに電流が逆行するような構造を採用し、相互インダクタンス効果によるインダクタンスの低減化を図るとともに、外部電力端子を放熱板としても使用可能な構造とすることにより、別部品の放熱板の使用を廃止することによる熱抵抗の低減と部品の削減による

低コスト化を実現するものである。

【0014】

即ち、本発明は、例えば IGBT モジュールにおいて、外部電力端子を IGBT チップの上面電極および下面電極へ直接接続することにより、電力配線部分の低抵抗化と低インダクタンス化を図り、さらに低コスト化を図るものである。

【0015】

以下、本発明を添付図面に示す具体例に基づいて詳細に説明する。以下の説明は本発明に関する一実施の形態であり、本発明の一般的原理を図解することを目的とするものであり、本発明をこの実施の形態に具体的に記載された構成のみに限定するものではない。本明細書において詳説する IGBT モジュール以外にも例えばサイリスタモジュールや電力用トランジスタさらにパワー IC 等に適用することが可能である。以下の詳細な説明および図面の記載において同様の要素は同様の参照番号により表される。

【0016】

(第1の実施の形態)

図1に本発明の第1の実施の形態である、ハーフブリッジ構成を有する IGBT モジュール1を示す。この IGBT モジュール1の回路図を図1(a)に、IGBT モジュールの概略の断面図を図1(b)に、そしてモジュール内部の概略の平面図を図1(c)に示す。

【0017】

図1(a)に示す IGBT ハーフブリッジ回路は、2つの IGBT 素子2が直列に接続され、一方の IGBT 素子のコレクタ7および他方の IGBT 素子のエミッタがそれぞれ第1及び第2の外部電力端子3、4に接続されている。そして各 IGBT 素子のエミッタ6およびコレクタ7にはそれぞれ並列にダイオード5が接続されている。また2つの IGBT 素子の間に第3の外部電力端子である中継電力端子8が接続されている。2つの IGBT 素子2のゲート9にはそれぞれ制御端子10、21が接続されている。

【0018】

IGBT モジュール1の構造を図1(b)および図1(c)に示す。図1(b)



）において、下部の第1の外部電力端子3に第1のIGBTチップ11のコレクタ側電極と第1のダイオードチップ12のn層側電極が例えば半田付けなどの方法により接続されている。各電極には接続を容易にするための金属膜が形成されている。導電性樹脂を用いて接着することも可能である。なお、IGBTチップ11とダイオードチップ12の周囲にはIGBTチップ11とダイオードチップ12の相互の絶縁性確保のため、例えばポリイミド樹脂やエポキシ樹脂等からなる絶縁体層22が配置されている。外部電力端子3、4および中継電力端子8は一般に熱伝導性および電気伝導性の良好な銅または銅合金が用いられ、また必要があればDBC基板が用いられる。これらの端子は各チップに発生した熱を放散する熱放散部材としても機能する。

## 【0019】

上記IGBTチップ11のエミッタ表面13およびダイオードチップ12のp層表面71には電氣的接続を容易にするため金属膜が形成されており、応力緩衝のために例えばモリブデン薄板などの緩衝板15を介して中継電力端子8が半田付けなどの方法により接続される。中継電力端子8も第1の外部電力端子と同様に銅または銅合金または必要があればDBC基板が用いられる。

## 【0020】

IGBTチップ11のゲート表面14にも同様に緩衝板15を介して制御端子10が接続される。この制御端子は予めIGBTモジュール1のハウジングを構成するモールドされた樹脂ホルダ17に形成しておくのが良い。必要に応じて、中継電力端子8と制御端子10間には絶縁層16が設けられる。他の構造として、制御端子10とゲート表面14をワイヤボンディングにより接続することも可能である（図3の制御端子38、ボンディングワイヤ39参照）。

## 【0021】

外部電力端子3の場合と同様の方法で、中継電力端子8上にさらに第2のIGBTチップ18と第2のダイオードチップ19が半田付け3などの方法で接続される。さらに第2の各チップ18、19の表面に、緩衝板15を介して第2の外部電力端子4を半田付けなどの方法で接続する。外部電力端子4も同様に銅または銅合金またはDBC基板が用いられる。この実施の形態において、外部電力端

子 3、4、および中継電力端子 8 は細長い薄板の形状を有し、半導体チップに接続される領域 5 4 と外部への引き出し領域 5 5 を有し、そして外部への熱放散を良好にするに足る十分な厚さを有する。

## 【 0 0 2 2 】

かかる配置において少なくとも外部電力端子 3 と外部電力端子 4 とは互いに対向して並行に配列され、それぞれの外部電力端子 3、4 を流れる電流の方向 2 0、2 1 が逆方向に流れるように配置する。

## 【 0 0 2 3 】

また、第 2 の I G B T チップ 1 8 のゲート表面 2 0 にも制御端子 2 1 が同様に半田付けまたはボンディングなどの方法により接続される。図 1 ( b ) では半田付けにより制御端子 2 1 を接続した例について示しているが、第 1 の I G B T チップ 1 1 の制御端子 1 0 と同様にワイヤボンディングにより接続することも可能である。必要に応じて、第 2 の外部電力端子 4 と制御端子 2 1 間には絶縁層 1 6 が設けられる。この制御端子 2 1 もあらかじめ樹脂ホルダ 1 7 に形成しておくことにより組立て作業が容易になる。

## 【 0 0 2 4 】

また、I G B T チップ 1 1、1 8 およびダイオードチップ 1 2、1 9 の周囲に例えばポリイミド樹脂やシリコン樹脂等からなる絶縁体層 2 2 を配置しチップ間および電極相互間の絶縁を確実にするのが良い。

## 【 0 0 2 5 】

図 1 ( c ) にモジュール内部の平面図を示す。第 2 の外部電力端子 4 は第 2 の I G B T チップ 1 8 のエミッタ電極 2 3 および第 2 のダイオードチップ 1 9 の p 層側電極 2 4 を完全に覆うように構成されている。外部電力端子 4 および中継電力端子 8 にはこの I G B T モジュールを使用する電力装置の電力端子と接続するための貫通孔 7 2 が形成されている。図示されていない外部電力端子 3 も同様である。

## 【 0 0 2 6 】

このような構成を採用することにより、I G B T チップ 1 1、1 8 の電極と外部電力端子 3、4、8 との間の接続が短距離でしかも面で接続されるため、内部

配線による電圧降下が大幅に低減される。しかも、外部電力端子 3 および 4 の配列が配線によるインダクタンス成分を低減させるように、電流を相互に逆に流れる配列にしたため、相互インダクタンスの低減を図ることが可能である。

## 【 0 0 2 7 】

さらに、外部電力端子 3、4 に加え中継電力端子 8 も放熱板としても機能させることができるので、あらたに放熱板を接続する必要が無く、モジュール組立て時または使用時における工程数の低減、およびコスト削減を図ることができる。

## 【 0 0 2 8 】

また、配線レイアウトのための絶縁基板も不要となるので、金属と比較し熱伝導度の悪い絶縁基板を使用しなくても済み、低熱抵抗化が実現できる。

## 【 0 0 2 9 】

## (第 2 の実施の形態)

図 2 に本発明の第 2 の実施の形態である 6 i n 1 構造の I G B T モジュール 2 5 を示す。この I G B T モジュールの回路図を図 2 ( a ) に、モジュール内部平面図を図 2 ( b ) に示す。

## 【 0 0 3 0 】

第 2 の実施の形態は第 1 の実施の形態の I G B T モジュールの回路を 3 個並列に接続し 1 つのモジュールとしたものである。3 個の下側 I G B T 2 8 の上に 3 個の上側 I G B T 2 6 が配置され、各上下の I G B T 2 6、2 7 がそれぞれ直列に接続され 3 相構造を形成している。また、3 個の下側のダイオード 2 9 の上に 3 個の上側のダイオード 2 7 が配置され、各ダイオードはそれぞれ対応する I G B T に並列接続されている。

## 【 0 0 3 1 】

各相はそれぞれ第 1 の外部電力端子 3 0 および第 2 の外部電力端子 3 1 に 3 相を一体化して結合されている。各相の上側および下側素子の接続点に中継電力端子 3 2 が形成され、各 I G B T 2 6、2 7 のゲートに接続する制御端子 3 3、3 4 が形成される。内部構造に関しては図 1 ( b ) および図 1 ( c ) に示す第 1 の実施の形態と同様であるが、各相間の絶縁確保のために絶縁層 3 5 を設けている。樹脂ホルダ 3 6 はモジュール 2 5 のハウジングを形成する。

## 【 0 0 3 2 】

第 2 の実施の形態は上記の構成を有することにより、第 1 の実施の形態で述べた効果の他に、3 相モジュールとして使用する場合に構造の簡素化と装置の小型化が実現できる。

## 【 0 0 3 3 】

## (第 3 の実施の形態)

図 3 に第 1 の実施の形態の制御端子 2 1、1 0 および第 2 の外部電力端子 4 の構造を変形した第 4 3 の実施の形態の内部平面図を示す。第 1 の実施の形態との相違点は、I G B T チップ 3 7 と制御端子 3 8 をボンディングワイヤ 3 9 (または半田付け) で接続し、モジュール 4 0 の中心部より制御端子 3 8 を取り出す構造を採用するものである。また、必要な場合は信号系エミッタ端子 4 1 を制御端子 3 8 と近接して外部電力端子 4 より直接出力する構成とするものである。このような構成とすることにより、I G B T モジュールを電力制御装置等に使用した場合、制御装置の制御系統回路との結合、特に配線の引き回しが容易となる。

## 【 0 0 3 4 】

## (第 4 の実施の形態)

図 4 に第 1 の実施の形態のチップレイアウトを変形した第 4 の実施の形態の内部平面図を示す。第 1 の実施の形態との相違点は、I G B T チップ 3 7 とダイオードチップ 4 3 の位置を変更した点である。また、制御端子 3 8 のレイアウトとしては第 1 の実施の形態及び第 3 の実施の形態の構造が適用可能である。

## 【 0 0 3 5 】

このような構成をとることにより、I G B T チップ 3 7 が第 2 の外部電力端子 4 の外部接続位置との距離がより短くなるため、より低抵抗化およびより低インダクタンス化を実現できる構造となる。必要な場合には信号系エミッタ端子 4 1 を制御端子 3 8 と近接して配置する。

## 【 0 0 3 6 】

## (第 5 の実施の形態)

第 5 の実施の形態は、図 5 に示すように、第 1 の実施の形態の中継電力端子 8 のレイアウトを変更するものである。第 5 の実施の形態の内部平面図を図 5 に示

す。第1の実施の形態例との相違点は、中継電力端子8の引き出し方向を第2の外部電力端子4の引き出し方向に対して90°の角度を持たせたことである。

## 【0037】

このような構成をとることにより、中継電力端子8と外部電力端子45との間距離が短くなり、外部電力端子45と中継電力端子8間の電気抵抗の低減化を図ることができる。

## 【0038】

## (第6の実施の形態)

図6に第6の実施の形態の構造を示す。第6の実施の形態は、図2に示す第2の実施の形態における第2の外部電力端子31および図示されていない第1の外部電力端子を、3相にそれぞれ分割化するもので、図6はその内部平面図を示す。実施例2との相違点は、上記の通り、図2の第2の外部電力端子31（第1の外部電力端子も同様）を各相ごとに外部電力端子44～46に三分割化するものである。

## 【0039】

このような構成をとることにより、第1の実施の形態のIGBTモジュール1を単に3個並列に配置して使用するような応用において、モジュール部分の小型化および取付け工数の低減化を図ることが可能であり、ひいてはモジュール部分の低コスト化を図ることができる。

## 【0040】

## (第7の実施の形態)

図7に実施例1における各半導体チップと各電力端子の半田付け接続に代えて、圧接接続を採用した実施の形態を示す。図7(a)はIGBTチップおよびダイオードチップの上下両面とも圧接接続47した場合であり、図7(b)は各チップの片面(下面)のみ圧接接続47し、他方の面は半田接続42した場合である。図7(c)は圧接接続を採用した場合の内部平面図を示す。

## 【0041】

外部電力端子4から緩衝板15を介して例えば圧接面として蒸着等によるアルミ電極が形成されたIGBT又はダイオード等の半導体チップ18、19、中継

電力端子 8、例えばモリブデン板からなる緩衝板 15、半導体チップ 11、12、外部電力端子 3 の順で積層し、半導体チップの両方の電極面それぞれを圧接接続 47 する構造 (a)、または各半導体チップの一方の側の電極面を圧接接続 47 し他方の側の電極面を半田接続 42 する構造 (b) である。圧接方式を採用する場合は、図 7 (c) に示すように圧接のために外部電力端子にネジ止め穴 48 を設け、上下の外部電力端子 3、4 を押圧し固定する。このような構成をとることにより、接触抵抗の低減を図ることができる。

## 【 0 0 4 2 】

## (第 8 の実施の形態)

図 8 は第 1 の実施の形態における 2 つの IGBT 素子のうち片側の IGBT 52 (図 8 では上側) の極性を反転させた構成を示す。この反転に伴い対応する片側のダイオード 73 も反転させる。そして一方の IGBT 52 のエミッタを第 4 の電力端子に接続し、他方の IGBT 53 のエミッタを第 5 の電力端子に接続し、双方のコレクタ 7 を互いに接続して共通電力端子 51 と接続する。

## 【 0 0 4 3 】

図 8 (a) にその回路図、図 8 (b) に断面構造図を示す。

## 【 0 0 4 4 】

この構成においては第 4 の電力端子 49 と第 5 の電力端子 50 を接続することにより、2 つの IGBT 素子 52、53 の並列接続が容易で、かかる接続により電力が多く取れるという利点を持つ。

## 【 0 0 4 5 】

## 【発明の効果】

本発明を用いる事により、半導体チップと電力端子との接続が短距離かつ面で接続されるため内部配線による電圧降下が大幅に低減されるほか、外部電力端子のインダクタンス成分を低減させるように電流を相互に逆に流す配列のため、相互インダクタンスによる低減が図れる。

## 【 0 0 4 6 】

さらには、上下両端の電力端子が、そして中継電力端子が放熱板としても機能するので、あらたに別個の放熱板を追加接続する必要がなく、工程負荷の低減、

コスト削減をはかることができる。また、配線レイアウトのための絶縁基板も不要となるので金属に対し熱伝導度の悪い絶縁基板を使用しなくても済むので低熱抵抗化が実現できる構造である。

## 【 0 0 4 7 】

以上、本発明のいくつかの実施例について図示し説明したが、ここに記載された本発明の実施の形態は単なる一例であり、本発明の技術的範囲を逸脱せずに、種々の変形が可能可能であることは明らかである。また、I G B T モジュール以外にもサイリスタ、G T O モジュール、パワー I C 等の大電力半導体素子に適用することが可能である。

## 【 0 0 4 8 】

なお、本願発明は、上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された効果が発明として抽出され得る。

## 【図面の簡単な説明】

## 【図 1】

本発明の第 1 の実施の形態を示す図であり、(a) はハーフブリッジ構成の I G B T モジュール回路図、(b) はハーフブリッジ構成の I G B T モジュール断面図、(c) はハーフブリッジ構成の I G B T モジュール内部平面図である。

## 【図 2】

第 2 の実施の形態に係る 6 i n 1 構造の I G B T モジュールを示し、(a) は 6 i n 1 構造における I G B T モジュール回路図、(b) は 6 i n 1 構造における I G B T モジュール内部平面図である。

## 【図 3】

第 3 の実施の形態である制御端子のレイアウトを変更した場合の内部平面図で

ある。

【図 4】

第 4 の実施の形態であるチップレイアウトを変更した場合の内部平面図である。

【図 5】

第 5 の実施の形態を示す図であり、第 1 の実施の形態の中継電力端子のレイアウトを変更した場合の内部平面図である。

【図 6】

第 6 の実施の形態を示す図であり、第 2 の実施の形態の外部電力端子を分割化した場合の内部平面図である。

【図 7】

第 7 の実施の形態を示す図であり、(a) は第 1 の実施の形態におけるチップの両面と各電力端子を圧接接続した場合の図、(b) は第 1 の実施の形態におけるチップの片面を電力端子に圧接接続し、他方を電力端子に半田接続した場合の図、(c) は上記圧接接続した場合の内部平面図である。

【図 8】

第 8 の実施の形態を示す図であり、(a) は第 1 の実施の形態における IGBT の一方の IGBT の極性を反転させた回路図、(b) は (a) の断面構造図である。

【図 9】

従来の IGBT の構造図 (a) および回路図 (b) である。

【符号の説明】

- 1 … IGBT モジュール
- 2 … IGBT 素子
- 3 … 第 1 の外部電力端子
- 4 … 第 2 の外部電力端子
- 5 … ダイオード
- 6 … エミッタ
- 7 … コレクタ



- 8…第3の外部電力端子（中継電力端子）
- 9…ゲート
- 10…制御端子
- 11…第1のIGBTチップ
- 12…第1のダイオードチップ
- 13…エミッタ
- 14…ゲート
- 15…緩衝板
- 16…絶縁層
- 17…樹脂ホルダ
- 18…第2のIGBTチップ
- 19…第2のダイオードチップ
- 20…ゲート表面
- 21…制御端子
- 22…絶縁体層
- 23…エミッタ電極
- 24…p層側電極
- 25…6in1構造のIGBTモジュール
- 26…上側IGBT
- 27…上側ダイオード
- 28…下側IGBT
- 29…下側ダイオード
- 30…第1の外部電力端子
- 31…第2の外部電力端子
- 32…第3の外部電力端子（中継電力端子）
- 33…上側制御端子
- 34…下側制御端子
- 35…絶縁層
- 36…樹脂ホルダ

- 37… IGBTチップ
- 38…制御端子
- 39…ボンディングワイヤ
- 40…モジュール
- 41…信号系エミッタ端子
- 42…半田接続
- 43…ダイオードチップ
- 44…外部電力端子
- 45…外部電力端子
- 46…外部電力端子
- 47…圧接接続
- 48…ネジ止め穴
- 49…第4の電力端子
- 50…第5の電力端子
- 51…共通電力端子
- 52、53… IGBT
- 54…チップ接続領域
- 55…引き出し領域
- 61、62…外部電力端子
- 63…Cuパターン
- 64…ボンディングワイヤ
- 65… IGBTチップ
- 66…ダイオードチップ
- 67…絶縁基板
- 68…Cu板
- 69…放熱板
- 70…ゲート端子
- 71…p層表面
- 72…貫通孔

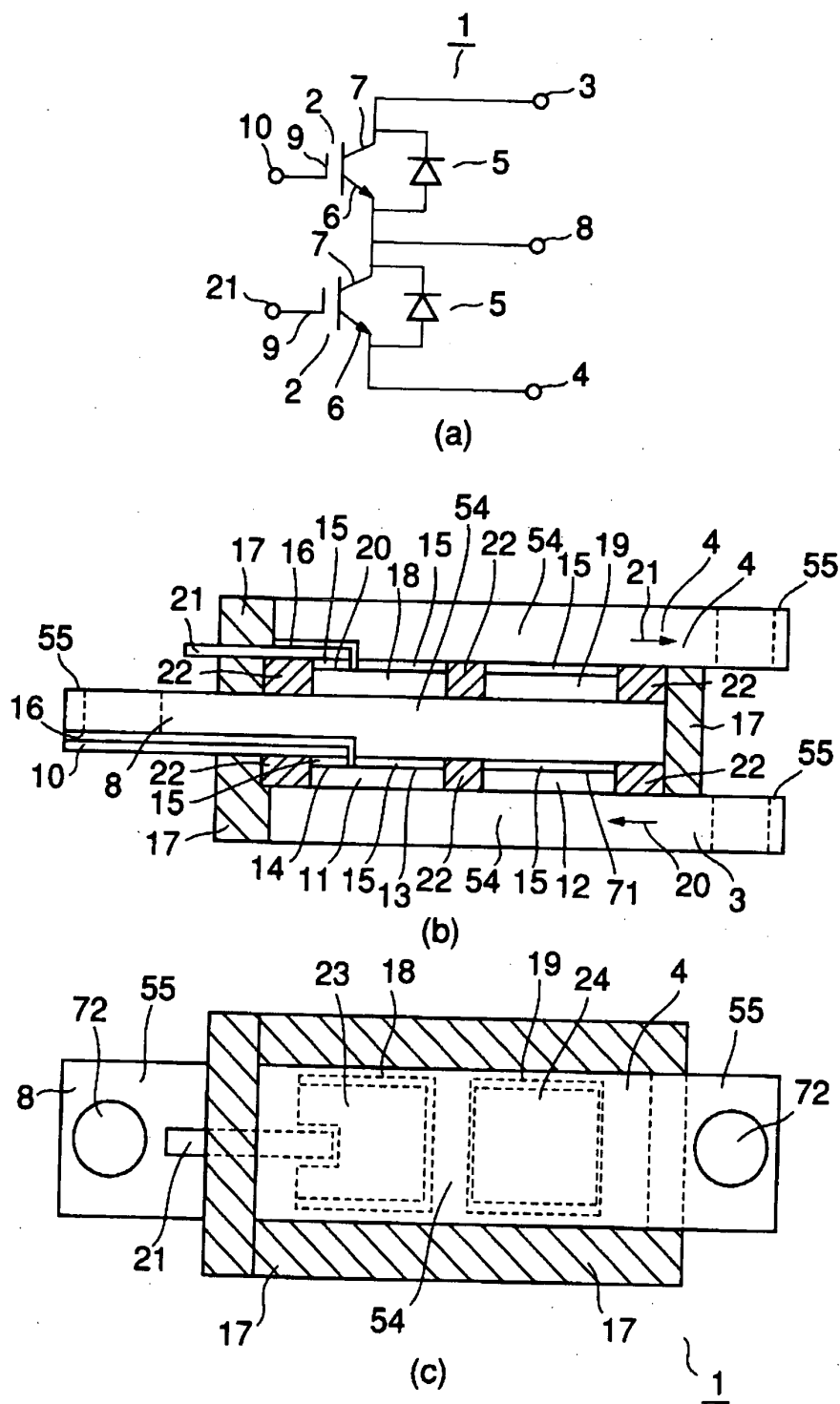
特 2 0 0 0 - 2 1 0 4 7 5

7 3 … ダイオード

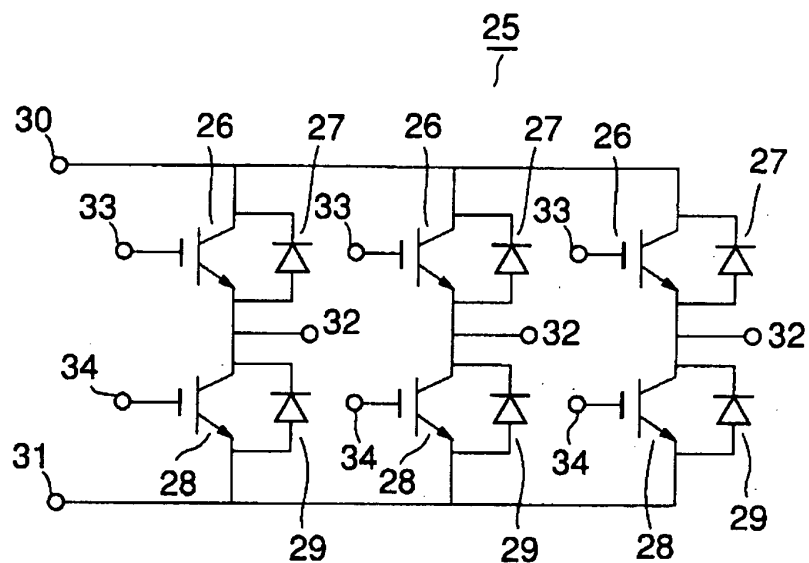
【書類名】

図面

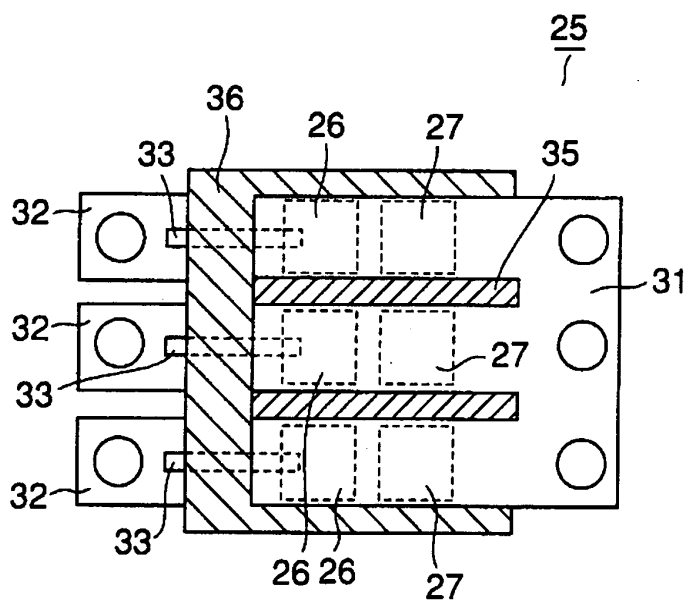
【図 1】



【図 2】

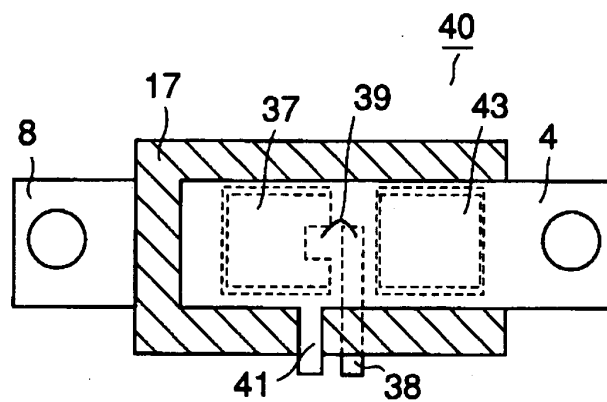


(a)

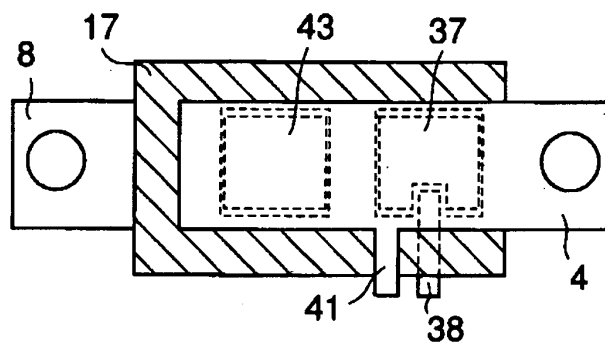


(b)

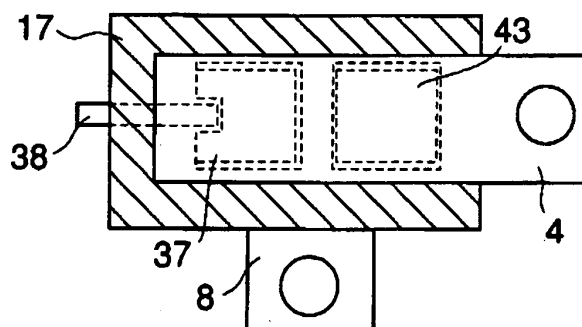
【図3】



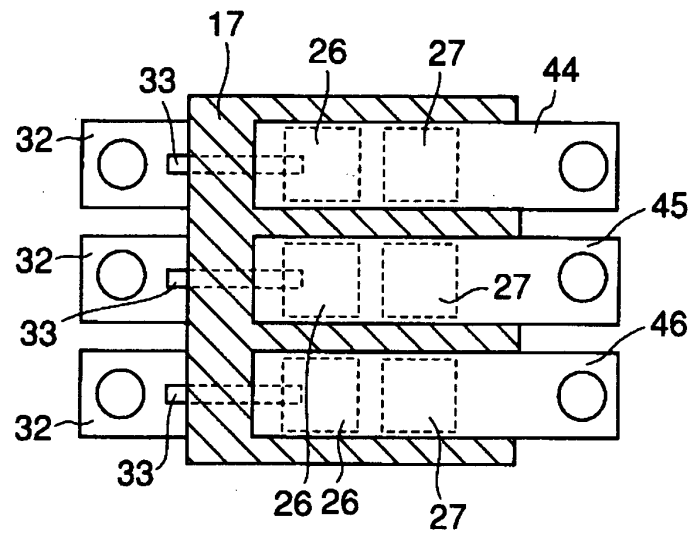
【図4】



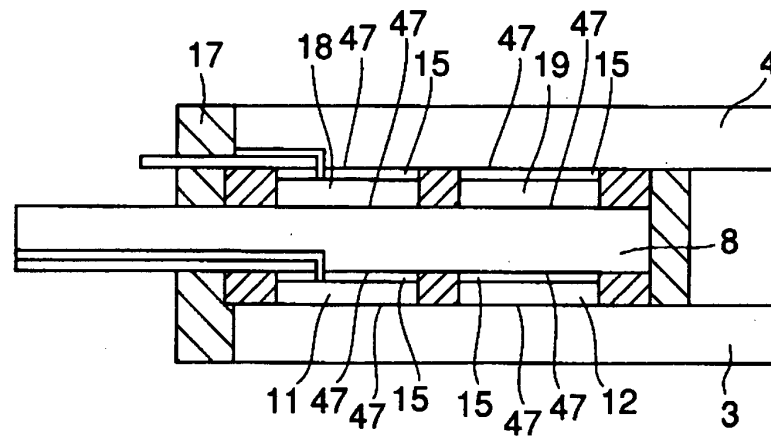
【図5】



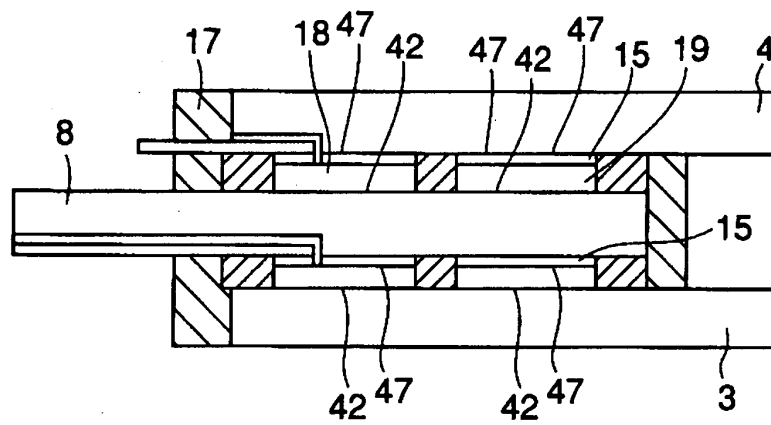
【図 6】



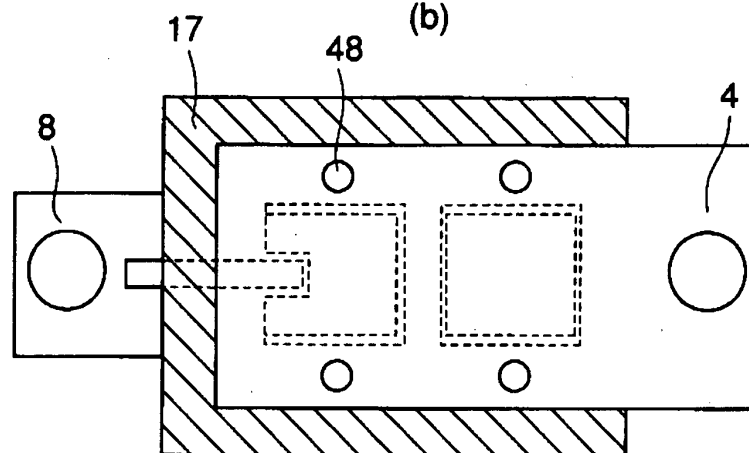
【図7】



(a)



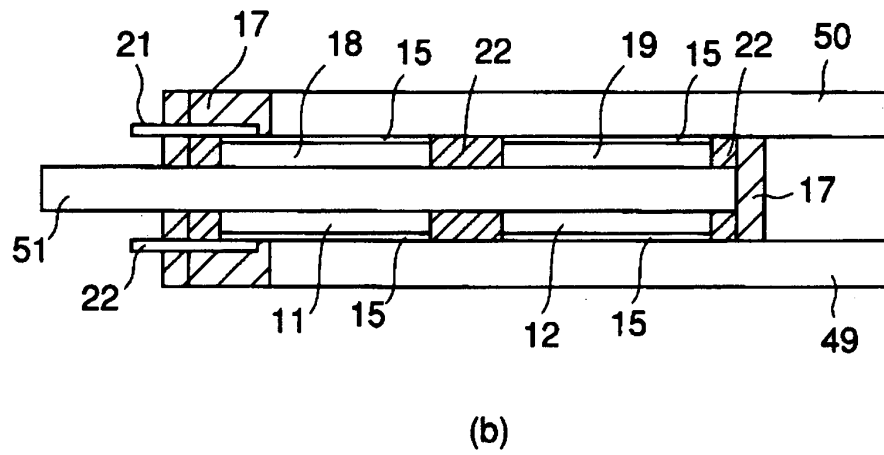
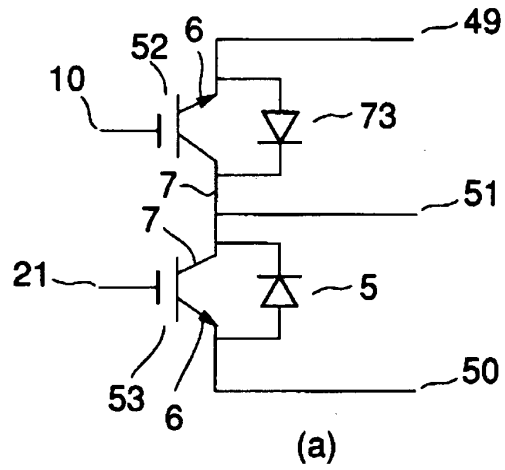
(b)



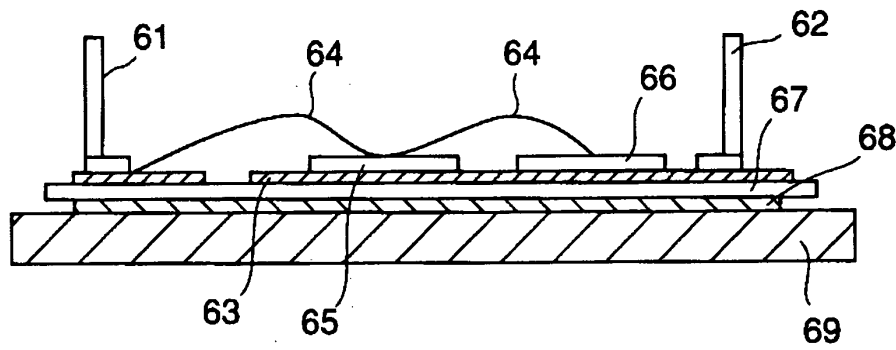
(c)



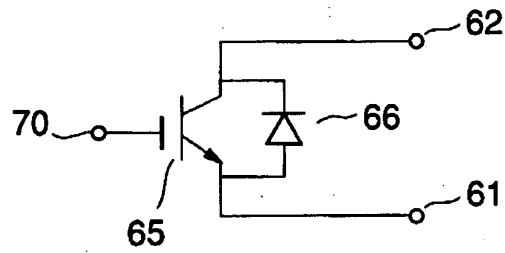
【图 8】



【図9】



(a)



(b)

【書類名】 要約書

【要約】

【課題】 I G B T モジュール等の大電力用半導体装置において、ボンディングワイヤ等の配線金属に起因する配線抵抗および自己インダクタンスを低減する。

【解決手段】 少なくとも3つ以上の互いに相重なった電力端子（3、4、8）を有し、電力端子のうちの所定の2つの電力端子間に少なくとも一つの半導体チップ（2、5）が挟まれる形で電氣的に接続されている半導体装置である。そして、上記相重なった電力端子のうち一方の端にある電力端子（3）と、相重なった電力端子のうち他方の端にある電力端子（4）は同一方向に引き出されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地

氏 名 株式会社東芝